

PLECS *DEMO MODEL*

Dual Active Bridge converter with SPICE components

SPICEコンポーネントを搭載したDABコンバータ

Validating ZVS transition combining PLECS and PLECS Spice simulations.

PLECSとPLECS Spiceシミュレーションを組み合わせたZVS遷移の検証。

Last updated in PLECS 5.0.1

1 概要

このデモモデルは、PLECS SpiceがいかんしてPLECSシミュレーションの標準的な理想スイッチモデルでは見えない、真のソフトスイッチング波形を明らかにすることができるかを示しています。PLECSシミュレーションとPLECS Spiceシミュレーションを比較することで、ゼロ電圧スイッチング(Zero Voltage Switching: ZVS)動作を検証し、デッドタイムがMOSFETの寄生容量の共振放電にどのように影響するかを観察することが可能です。ZVSは複雑な問題であり、パワー半導体の詳細なモデリングと適切な制御と変調戦略が必要となります。PLECS Spiceのようなツールは、考えられるすべての設計空間パラメータを有機的なモデルに組み込む上で非常に有用です。

注意

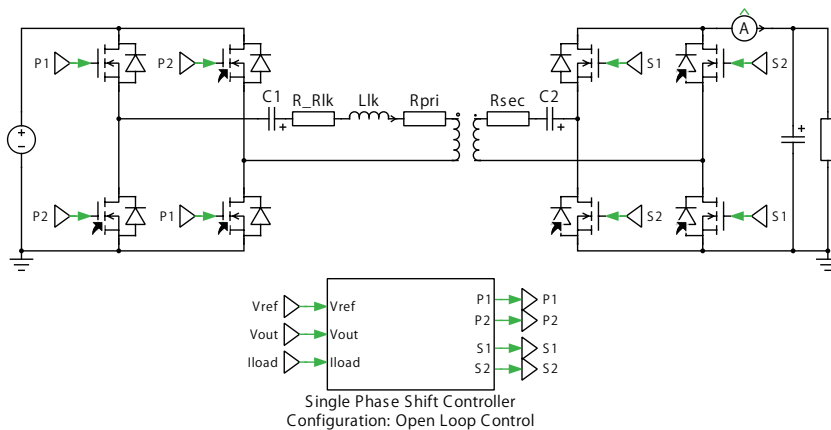
このモデルには、次からアクセスできるモデル初期化コマンドが含まれています。

PLECS Standalone: シミュレーションメニュー + シミュレーション・パラメータ... → 初期化

2 モデル

デュアルアクティブブリッジ(Dual Active Bridge: DAB)コンバータは、高出力DC-DC変換アプリケーションにおける重要性と、ソフトスイッチングを実現できる能力から、トポロジの例として選びました。これは、高周波トランスとエネルギー伝達インダクタ(漏洩インダクタと外部インダクタンスを組み合わせたもの)を介して結合された2つのフルブリッジで構成される双方向DC-DCコンバータトポロジです。このトポロジは、電気自動車の急速充電器、グリッド接続バッテリーエネルギー貯蔵システム、再生可能エネルギー統合用の固体変圧器など、高電力密度、双方向エネルギーフロー、ガルバニック絶縁を必要とする最先端のアプリケーションにとって重要になってきています。本モデルの主要な回路図を図1に示します。

図1: DABコンバータのコントローラ回路図



2.1 パワーステージ

可変サブシステム¹は、パワーステージのMOSFETをカプセル化し、理想的なPLECSスイッチモデルから詳細なSPICEベースのデバイスモデルへのシームレスな移行を可能にします。さらに、モデル参照²コンポーネントは、図1の参照サブシステムの左下にある小さな黒色の矢印からもわかるように、プライマリ側とセカンダリ側のMOSFETを表す個々のサブシステムのローカルインスタンスを作成するために使用されます。

¹

² https://docs.plexim.com/plecs/latest/components-by-category/conf_subsystem/#component-conf_subsystem

² <https://docs.plexim.com/plecs/latest/components-by-category/modelreference/#component-modelreference>

図2: MOSFETサブシステムの構成

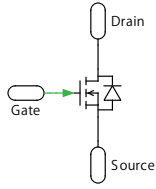
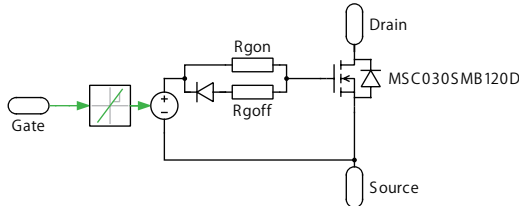


図2に示すMOSFETサブシステムのPLECS構成では、PLECSコンポーネントライブラリの"電気回路ブロック"にある、ダイオード内蔵MOSFET³を使用しています。このスイッチは理想的なMOSFETを使用しており、コントローラからのデジタル信号によって直接制御されます。実際のスイッチの動作をより正確にモデル化するために、オプションのオン抵抗パラメータを含めることができます。ただし、このモデルは実際のデバイスのスイッチング過渡現象や寄生容量を捉えていないことに留意する必要があります。したがって、ターンオンとオフの遷移はどちらも理想的かつ瞬時に起こるため、コンバータのZVS動作を観測することは不可能です。

図3: 最小限のゲートドライバを組み込んだMOSFETサブシステムのSPICE構成



このため、図3に示すように、MOSFETサブシステムをSPICEモデルに拡張する必要があります。一次側および二次側のMOSFETには、Microchip社のデバイスが使用されています[1]。2つの構成を持つコンポーネントを使用する利点は、ユーザが2つのモデル間を簡単に切り替えられることです。

- 1 PLECSは高速シミュレーションと制御設計のためのツールです。
- 2 PLECS Spiceは、ZVS動作の証明など、正確なスイッチング動作解析に使用されます。

元の回路図を維持し、同じ制御構造を維持します。

SPICEのネットリストモデリングは電気ドメインのみに存在するため、MOSFETスイッチを適切に駆動するにはゲートドライバを含める必要があります。このモデルの場合、MOSFETサブシステムのSPICE構成には最小限のゲート駆動回路が含まれています。特筆すべき点は、2つの構成間の比較を容易にするため、コントローラからの信号がゲートドライバの電圧レベル要件に適合するように調整されていることです。

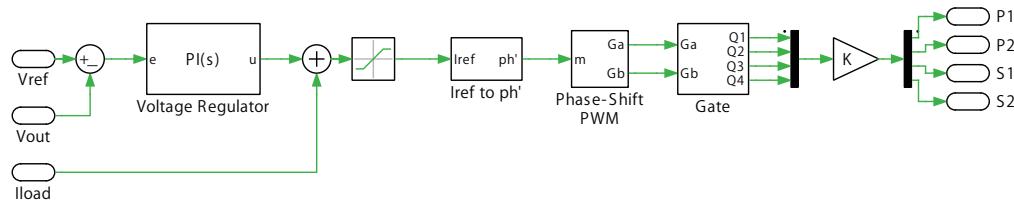
³ <https://docs.plexim.com/plecs/latest/components-by-category/mosfetwithdiode/#component-mosfetwithdiode>

2.2 コントローラ

このDABは、単一位相シフト変調方式を用いて制御され、一次側と二次側のブリッジ電圧間の位相シフト角を調整することで電力の流れを制御します。コントローラの回路図を図4に示します。

制御設計の詳細は、このデモモデルの範囲外です。DAB制御に関するより詳細な調査は、デモモデル"Dual Active Bridge"を参照してください。さらに、制御戦略の検証もこのデモモデルの範囲外であるため、制御設計の詳細についてはこのセクションでは解析しません。

図4: DABコンバータ用の電圧制御方式および単一位相シフト変調器



PLECS Spiceを使用する利点は、制御構造に影響を与えることなくパワーステージモデルを交換できるため、コントローラの設計と実装が変更されないことです。これにより、理想部品モデルを用いた簡便な制御設計が可能となり、その後、詳細なSPICEモデルを用いてスイッチング動作の検証を行うことができます。Fig. 167の回路図は閉ループ制御であるため、MOSFETのSPICE構成のスイッチング特性の違いによって生じるダイナミクスにより、2つの構成間で制御信号が異なる可能性があります。同時に2つの遷移を比較するため、制御対象サブシステムの別の構成により、電力リファレンスによって位相シフト角が固定される開ループ制御も利用可能です。

3 シミュレーション

3.1 デモモデルを使用

デモモデルでは以下のことが可能です:

- 1 制御ロジックや回路トポロジを変更することなく、可変サブシステムを使用して、PLECSのMOSFET(理想モデル)とSPICEのネットリストベースのMOSFETモデルを切り替えることができます。これは、シミュレーションメニューの->シミュレーション・パラメータ->初期化タブにあるsimModeパラメータで行います。
- 2 デッドタイムパラメータを調整し、共振放電過渡現象への影響を観察します。これは、シミュレーションメニューの->シミュレーション・パラメータ->初期化タブにあるtdeadパラメータで行います。
- 3 スwitching波形を並べて比較し、ハードスイッチングからZVSへの移行点を特定します。
- 4 動作点と制御戦略が、ソフトスイッチングを正常に行うために必要なインダクタ電流を供給していることを検証します。

以下では、この手法を用いてスイッチング波形を解析することで、ZVS動作を実証します。ZVS動作の解析に焦点を当て、モデルは15nsと50nsという2つの異なるデッドタイム値でシミュレーションします。前者はハードスイッチング動作につながり、後者はZVS動作を実現します。

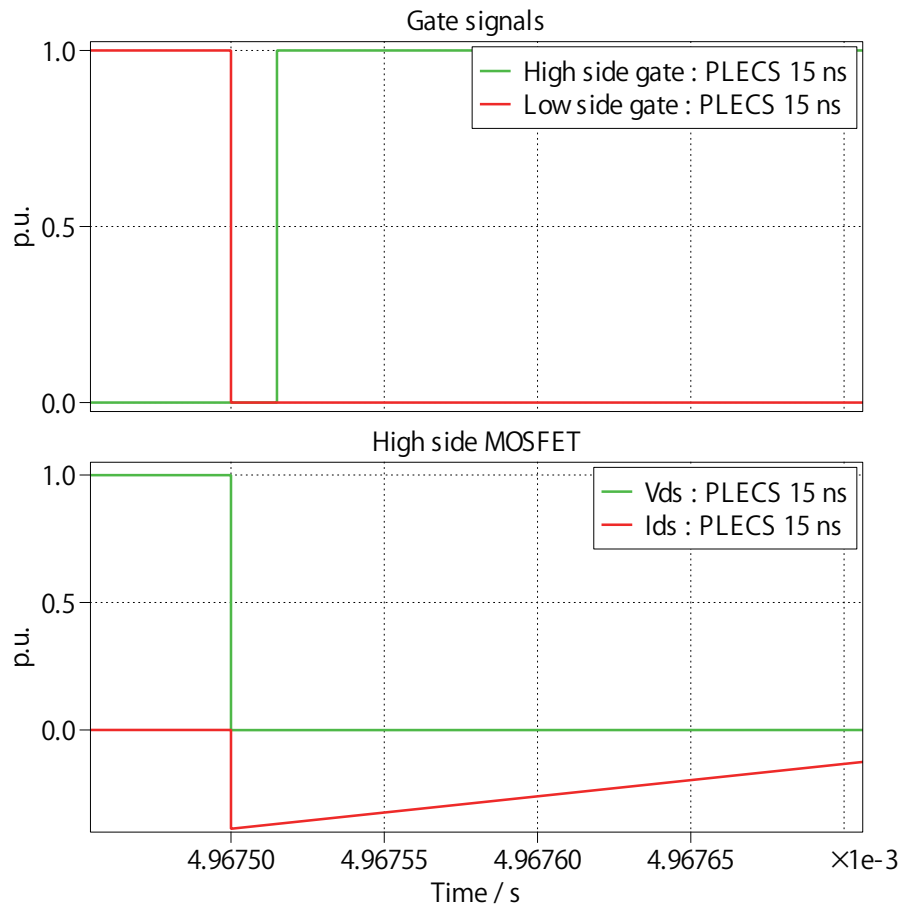
3.2 ハードスイッチング動作

まず、PLECSのMOSFET(理想的モデル)を用いて制御戦略を設計します。一次ブリッジのターンオンにおけるハイサイドスイッチの結果を図5に示します。

これは、理想スイッチモデルにMOSFETデバイスの寄生容量が含まれていないため、適切なZVS動作を実証するには不十分です。PLECS Spiceを使用することで、同じ制御構造と回路トポロジを維持しながら、SPICEネットリストベースのMOSFETモデルにシームレスに切り替えることが可能です。SPICEモデルを用いた同じターンオン遷移の結果は、図6に示しています。MOSFETの両端の電圧がターンオンの前にゼロに達しないことから、ZVS動作が実現されず、代わりにハードスイッチングが発生していることがわかります。

このコンバータの動作点と制御戦略では、ZVS問題は解決されません。MOSFETの寄生容量の共振放電を可能にするためには、デッドタイムを長くする必要があります。

図5: PLECSの理想スイッチモデルを用いたデッドタイム15nsの一次ハイサイドブリッジMOSFETのターンオン遷移



3.3 ソフトスイッチング動作

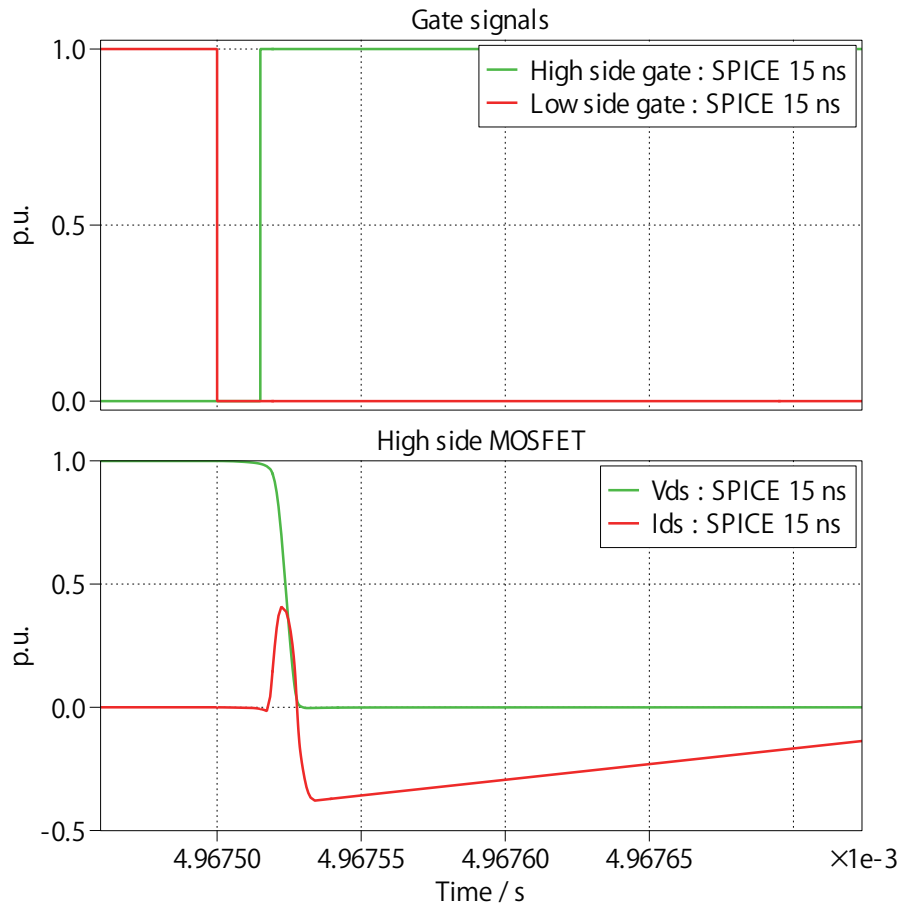
デッドタイムを50nsに延ばした後、PLECS理想スイッチモデルを使用した一次ブリッジのターンオン遷移のハイサイドスイッチの結果を図7に示します。これらの結果を以前の図5の結果と比較すると、違いを見て取れません。理想スイッチモデルは、実際のデバイスのスイッチング過渡現象を捉えるのに適していません。

実際のスイッチング動作を観察するには、SPICEネットリストベースのMOSFETモデルに切り替える必要があります。SPICEモデルを用いた同じターンオン遷移の結果を、図8に示します。MOSFETの両端の電圧ターンオンの前にゼロに達することに注目してください。これは、ZVS動作が正常に行われたことを示しています。

4 まとめ

このデモは、デバイスレベルのシミュレーションがPLECSの機能をどのように拡張し、ソフトスイッチングのような複雑な問題の解析を可能にするかを明確に示しています。理想モデルでは、ZVSの成功を決定づける共鳴放電ダイナミクスを明らかにすることはできません。PLECS Spiceシミュレーションは、異なるデッドタイムを持つ同一の動作条件を比較することで、ハードスイッチングとZVSの決定的な違いを明らかにします。MOSFETの電流波形と電圧波形は、設計がソフトスイッチングを達成しているかどうかを直接確認できるため、エンジニアは同一のシミュレーションモデル上で設計、制御戦略、デッドタイム設定を最適化し、ハードウェア実装の前に設計を十分に検証することができます。

図6: SPICEネットリストベースのMOSFETモデルを用いたデッドタイム15nsの一次ハイサイドブリッジMOSFETのターンオン遷移



参考文献

[1] Microchip Silicon Carbide Products SPICE and PLECS Files. Click to access online: Microchip SiC SPICE models⁴.

⁴ <https://www.microchip.com/en-us/software-library/sic-products-spice-files>

図7: PLECSの理想スイッチモデルを用いたデッドタイム50nsの一次ハイサイドブリッジMOSFETのターンオン遷移

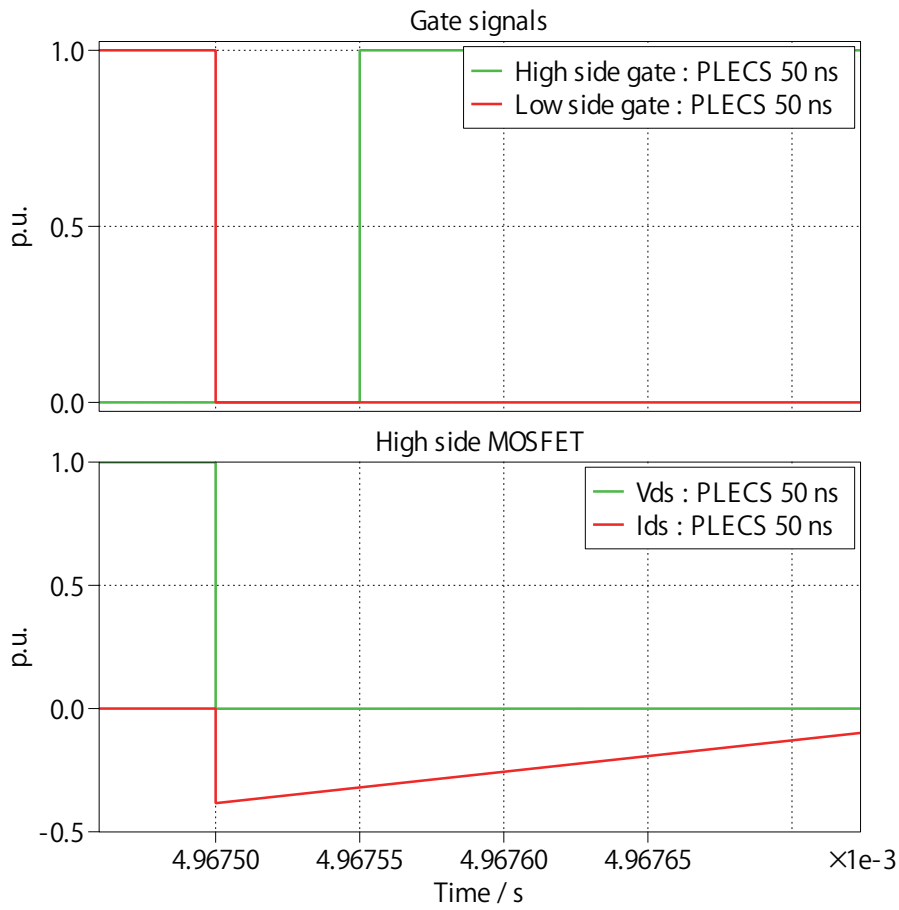
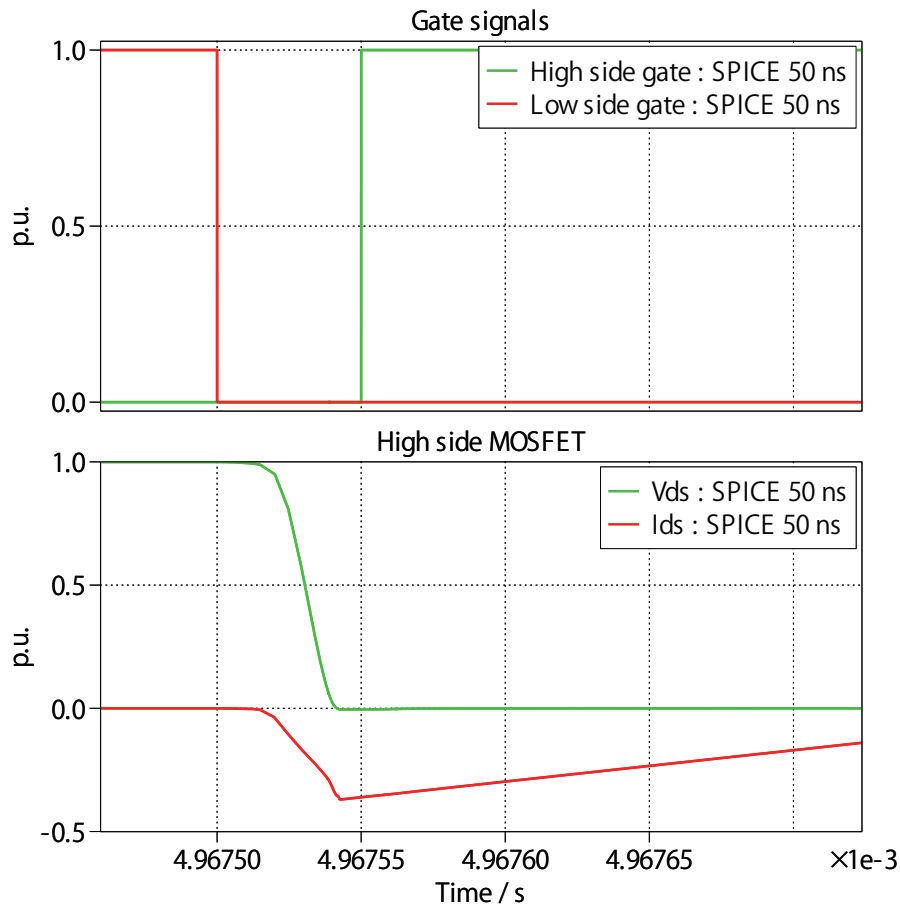


図8: SPICEネットリストベースのMOSFETモデルを用いたデッドタイム50nsの一次ハイサイドブリッジMOSFETのターンオン遷移



改訂履歴:

PLECS 5.0.1 初版



Pleximへの連絡方法:

☎ +41 44 533 51 00 Phone
✉ Plexim GmbH Mail
Technoparkstrasse 1
8005 Zurich
Switzerland
@ info@plexim.com Email
<https://www.plexim.com> Web



計測エンジニアリングシステムへの連絡方法:

☎ +81 3 6273 7505 Phone
✉ Keisoku Engineering System CO.,LTD. Mail
1-9-5 Uchikanda, Chiyoda-ku
Tokyo, 101-0047
Japan
<https://kesco.co.jp> Web

PLECS Demo Model

© 2002-2026 by Plexim GmbH

このマニュアルで説明されているソフトウェアPLECSは、ライセンス契約に基づいて提供されています。ソフトウェアは、ライセンス契約の条件の下でのみ使用またはコピーできます。Plexim GmbHの書面による事前の同意なしに、このマニュアルのいかなる部分も、いかなる形式でもコピーまたは複製することはできません。

PLECSはPlexim GmbHの登録商標です。MATLAB、Simulink、およびSimulink Coderは、The MathWorks, Inc.の登録商標です。その他の製品名またはブランド名は、それぞれの所有者の商標または登録商標です。

本マニュアルは、Plexim社の英文マニュアルを日本語に翻訳したものです。本マニュアルと英文マニュアルとで差異がある場合、英文マニュアルを正とします。

本マニュアルの内容に基づいて発生した負傷や損害などに対して、Plexim GmbHおよび計測エンジニアリングシステム株式会社は一切責任を負いません。製品とアプリケーションに関連したリスクを最小限に抑えるため、ユーザが適切な設計および保護対策を用意する必要があります。